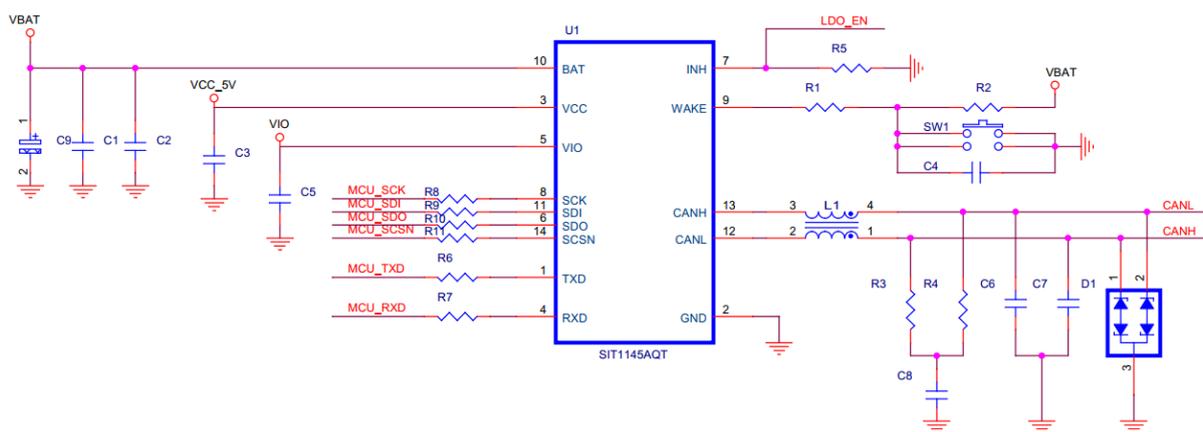


简介

SIT1145AQ 是一款应用于CAN协议控制器和物理总线之间的接口芯片，支持5Mbps灵活数据速率（Flexible Data-Rate），具有在总线与CAN协议控制器之间进行差分信号传输的能力。SIT1145AQ在待机和休眠模式下具有极低功耗，通过选择性唤醒功能支持符合ISO 11898-2:2016 标准的CAN 部分网络。SIT1145AQ/FD版本中嵌入了CAN FD屏蔽功能。该功能称为“FD-passive”，能在休眠/待机模式下等待有效唤醒帧时，忽略CAN FD 帧。

典型应用

图 1-1

如上图 1-1 是 SIT1145AQ应用的外围电路设计。

1. VBAT为输入源，推荐一个100nF的电容（C2）、一个4.7μF的电容（C1）和一个47μF~470μF的电解电容（C9）搭配，可用于滤除线路中的高、低频噪声，电容需靠近芯片引脚放置。

2. VCC为输入源，5V供应，推荐一个100nF的电容（C3）用于平滑电压波动，电容需靠近芯片引脚放置。

3. VIO为输入源，3.3V或5V供应，与MCU共电源，一个100nF的电容（C5）可用于滤除线路中的高频噪声，电容需靠近芯片引脚放置。

4. 总线终端：图 1-1显示了分裂终端。分裂电阻 R3和R4，终端的中心通过电容器 C2与地连接。分裂终端为总线提供共模过滤。ECU作为总线终端被放置在总线上执行，必须格外小心，以确保终端节点不会从总线中移除，防止删除了终端。

5. WAKE引脚：当选用To Switch对地时，上拉电阻R2（3.3kΩ）需要提供足够的唤醒事件所需的电流，用于实现本地WAKE事件。当选用KL15唤醒时，需要串联电阻R1（33kΩ）来防止过流情况，同时可视情况添加下拉电阻（10kΩ~100kΩ）保证在KL15无输入时保持低状态。

6. SPI信号引脚：对SIT1145AQ进行通信和控制，可依据实际情况通过一个值为10Ω~1kΩ的串联电阻与微控制器连接，可以方便查看SPI信号质量与数据。

7. INH用于控制外部稳压器的的工作状态，发生唤醒事件后置为高电平。通过一个值为10Ω~100kΩ

的下拉电阻（R5）下拉至地，可做LDO使能。

8. RXD引脚，可放置一个值为 $10\Omega\sim 1k\Omega$ 的串联电阻（R7），在引脚过电压的时候，以限制收发器的输入电流。在MCU RXD引脚无上拉功能或上拉能力过弱的情况下建议放置一个值为 $1k\Omega\sim 10k\Omega$ 上拉电阻，提高系统稳定性。

9. TXD引脚，可放置一个值为 $10\Omega\sim 1k\Omega$ 的串联电阻（R6），在引脚过电压的时候，以限制收发器的输入电流。在MCU TXD引脚无上拉功能或上拉能力过弱的情况下建议放置一个值为 $1k\Omega\sim 10k\Omega$ 上拉电阻，提高系统稳定性。

10. 将保护和滤波电路尽可能靠近总线连接器，以防止瞬变，ESD和防止噪音传播到电路板上。如图 1-1，瞬态电压抑制（TVS）器件（D1）用于增加保护。总线滤波电容器C6和C7。使用共模扼流圈（CMC）L1可进一步提升EMC性能。器件放置需按照信号路径方向设计子总线保护元件，不要强迫瞬态电流偏离信号路径到达保护装置。

TVS选型原则：

- 1) 静电防护能力需达到要求级别；
- 2) V_{RWM} 最大反向工作电压为 24V；
- 3) 结电容 C_j 要满足信号系统传输速率的要求。

CAN 通信速率250kbps、500kbps、2 Mbps推荐型号：SITNE24V2BNQ-3/TR（SOT-23）；

CAN 通信速率2Mbps、5Mbps 推荐型号：SITL24V2BNQ-3/TR（SOT-23）。总线滤波电容器推荐值：10pF~100pF。

共模扼流圈（CMC）推荐型号（亦可不使用共模扼流圈）：

- 1) CAN通信速率250kbps、500kbps 推荐型号：ACT45B-101-2P；
- 2) CAN通信速率2Mbps、5Mbps 推荐型号：ACT1210R-101-2P。

PCB LAYOUT

为了更好地应用SIT1145AQ，在 PCB LAYOUT 时，需注意如下问题：

- ❖ 总线信号其长度不应超过 10cm。
- ❖ ESD 保护器件应靠近 ECU 连接器总线连接端。
- ❖ VBAT、VCC、VIO、STB、TXD 和RXD 输入/输出电容应靠近收发器引脚，走线尽量短。
- ❖ 通信控制器和收发器之间的连线长度应尽量短。
- ❖ 通信控制器和收发器之间接地阻抗应尽可能低。
- ❖ 避免在通信控制器与收发器的地之间使用滤波器元件，收发器和通信控制器的地必须相同。
- ❖ 避免其他的信号线与 CANH 和CANL 平行布线，可能会有噪声注入CAN 总线，影响总线通信。
- ❖ CAN 传输线下层的 Layout 不可与其它走线交叉，尽可能在走线下层铺地处理，下层地的铺设最小宽度是 CANH/CANL 两线线距的 1.5—2 倍。
- ❖ CANH/CANL 的PCB 走线尽可能不走过孔，以减小过孔电感对信号的影响。
- ❖ 表层走线周边包地处理。表层走线可以很好地对阻抗进行控制，在后期调试时，也有利于元器件的增加和修改。
- ❖ 如果走线不可避免地需要较长布局，可采用 45 度的折线走法，有利于减小线上辐射，对于高速差分走线，这样的走线方式，可以改善线上辐射达 3dB 以上。
- ❖ 去耦电容以及芯片接地至少使用两个过孔，以尽量减少走线和过孔电感。